




Digital phase-frequency detector e.g. for dual band cellular transceiver

Patent number: DE19859515
Publication date: 2000-04-20
Inventor: HERRMANN HELMUT (DE); HERZINGER STEFAN (DE)
Applicant: SIEMENS AG (DE)
Classification:
 - international: H03L7/089
 - european: H03L7/089C
Application number: DE19981059515 19981222
Priority number(s): DE19981059515 19981222

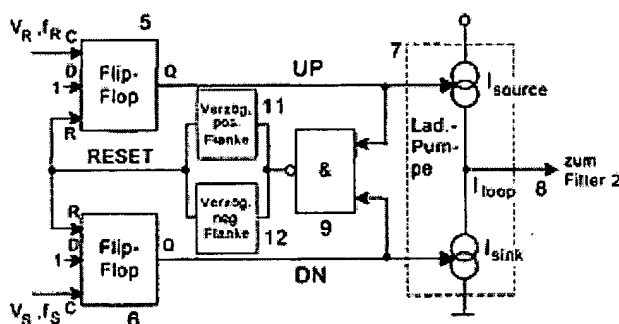
Also published as:

 US6192094 (B1)
 GB2345210 (A)
 FR2787651 (A1)

[Report a data error here](#)

Abstract of DE19859515

The digital phase-frequency detector includes a delay unit that has two delay paths (11,12) arranged in parallel. The first path is allocated to the positive flanks of the impulse received from the output of a logical AND circuit (9). The first delay path has a delay time of the duration of an anti-backlash-impulse (ABL). The second path is allocated to the negative flanks of the impulse received from the output of the logical AND circuit. The flank is delayed for a duration in which a flip-flop circuit (5,6) can be securely reset. The detector has two flip-flop circuits for generating pulse shaped output current signals that are dependent on the phase difference of two AC input signals. The output impulses of the flip-flop circuits are supplied to the logical AND circuit.



Data supplied from the **esp@cenet** database - Worldwide

This Page Blank (uspto)



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ Patentschrift
⑩ DE 198 59 515 C 1

⑤① Int. Cl. 7:
H 03 L 7/089

②① Aktenzeichen: 198 59 515.8-35
②② Anmeldetag: 22. 12. 1998
④③ Offenlegungstag: -
④⑤ Veröffentlichungstag
der Patenterteilung: 20. 4. 2000

Innerhalb von 3 Monaten nach Veröffentlichung der Erteilung kann Einspruch erhoben werden

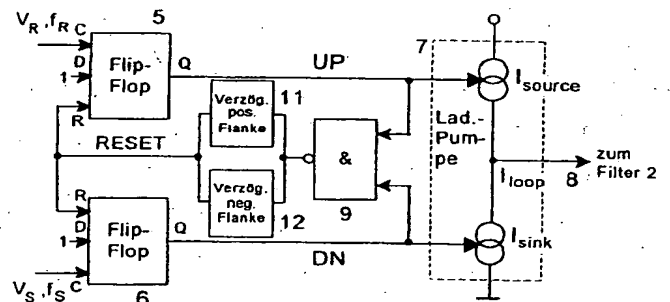
⑦③ Patentinhaber:
Siemens AG, 80333 München, DE

⑦② Erfinder:
Herrmann, Helmut, 81541 München, DE; Herzinger,
Stefan, 80686 München, DE

⑤⑥ Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:
DE 31 16 603 C2

⑤④ Digitaler Phasen-Frequenz-Detektor

⑤⑦ Bei einem digitalen Phasen-Frequenz-Detektor mit Anti-Backlash-Impulsen, welche die Abbildung sehr kurzer, aufgrund kleiner Phasenunterschiede auftretender Korrekturimpulse mittels einer den RESET von zwei Flip-Flop-Schaltungen (5, 6) steuernden UND-Logikschaltung (9) verhindern, wird die Blindzeit erfindungsgemäß durch eine Reduzierung der Dauer des RESET-Impulses verkürzt. Der integrierbare Phasen-Frequenz-Detektor nach der Erfindung läßt sich bei schnellen digitalen PLL-Regelschleifen z. B. für Tuner, Frequenzsynthesizer im Mobilfunkbereich verwenden.



DE 198 59 515 C 1

DE 198 59 515 C 1

Die Erfindung betrifft einen digitalen Phasen-Frequenz-Detektor gemäß dem Oberbegriff des Patentanspruchs 1.

Ein derartiger Phasen-Frequenz-Detektor findet in einer herkömmlichen digitalen PLL-Regelschleife Verwendung. Ein grundsätzliches Blockschaltbild einer digitalen PLL-Regelschleife ist in der Fig. 1 dargestellt. Die digitale PLL-Regelschleife enthält drei Funktionsbausteine, nämlich einen digitalen Phasendetektor 1, ein analoges Schleifenfilter 2 sowie einen spannungsgesteuerten Oszillator (VCO; Voltage Controlled Oscillator) 3, und optional einen Frequenzteiler 4. Die geregelte Veränderliche in jeder PLL-Regelschleife ist die Phasenlage.

Es wird die Phasenlage eines ersten Wechselstrom-Signals mit der Phasenlage eines zweiten Wechselstrom-Signals verglichen. Die Phasendifferenz zwischen den beiden Signalen wird im Regelsystem ermittelt und zur Synchronisierung der beiden Signale benutzt.

Bei der in Fig. 1 dargestellten bekannten Phasenregelschleife wird das eine Wechselstrom-Eingangssignal V_R , das ein Bezugssignal von der Frequenz f_1 ist, mit einem geregelten Wechselstrom-Eingangssignal V_S von veränderbarer Frequenz f_2 mit Hilfe des digitalen Phasendetektors 1 verglichen, der ein pulsartiges Ausgangssignal I_d liefert, welches von der Phasendifferenz der beiden Eingangssignale V_R und V_S abhängt.

Das resultierende Ausgangssignal I_d wird im analogen Schleifenfilter 2 zeitlich integriert, wodurch eine Ausgangsregelspannung U_T entsteht, die den spannungsgesteuerten Oszillator 3 hinsichtlich seiner Frequenzeinstellung betätigt. Das Ausgangssignal des spannungsgesteuerten Oszillators 3 ist das geregelte Signal, das über den optional vorgesehenen Frequenzteiler 4 als Wechselstromsignal V_S dem Phasendetektor 1 als eines der beiden hinsichtlich ihrer Phasenlage zu vergleichenden Eingangssignale zugeführt wird.

Der einzige digitale Block der in Fig. 1 dargestellten PLL-Regelschleife ist der digitale Phasendetektor 1. Für diesen kommt neben anderen häufig verwendeten digitalen Phasendetektoren, wie z. B. EXOR-Schaltungen oder flankengesteuerten JK-Flip-Flops, überwiegend der sogenannte digitale Phasen-Frequenz-Detektor zum Einsatz.

Fig. 2 zeigt das Blockschaltbild eines idealen digitalen Phasen-Frequenz-Detektors. Das erste Wechselstrom-Eingangssignal V_R mit der Frequenz f_R wird dem C-Eingang einer ersten D-Flip-Flop-Schaltung 5 zugeführt, an deren D-Eingang eine logische 1 steht.

Das zweite Wechselstrom-Eingangssignal V_S mit der Frequenz f_S wird dem C-Eingang einer zweiten D-Flip-Flop-Schaltung 6 zugeleitet, an deren D-Eingang ebenfalls eine logische 1 anliegt. Der Ausgang Q der ersten Flip-Flop-Schaltung 5 liefert Ausgangsimpulse UP, wenn die Phase des geregelten Wechselstrom-Eingangssignals V_S der Phase des anderen Wechselstrom-Eingangssignals V_R , also des Bezugssignals nacheilt. Im aktiven Zustand ist die Dauer der digitalen Ausgangsimpulse UP proportional zur Größe der Phasennacheilung.

In ähnlicher Weise liefert der Ausgang Q der zweiten Flip-Flop-Schaltung 6 digitale Ausgangsimpulse DN, wenn die Phase des geregelten Wechselstrom-Eingangssignals V_S der Phase des anderen Wechselstrom-Eingangssignals V_R , also des Bezugssignals voreilt. Im aktiven Zustand ist für diesen Fall die Dauer der digitalen Ausgangsimpulse DN zur Größe der Phasenvoreilung proportional.

Die Ausgangssignale UP und DN werden dann mittels einer Ladungspumpe (Charge Pump) 7 in eine ternäre Form gebracht. Die digitalen Ausgangsimpulse UP betätigen eine

schaltbare Stromquelle I_{source} für die Stromzuführung zu einem Ausgang 8. Die digitalen Ausgangsimpulse DN betätigen dagegen eine schaltbare Stromsenke I_{sink} für die Stromabführung vom Ausgang 8.

Das resultierende, in Ternärlogikform am Ausgang 8 vorliegende Ausgangsstromsignal I_{loop} wird dann dem in der Fig. 2 nicht dargestellten Schleifenfilter (in Fig. 1 mit 2 bezeichnet) zugeleitet, so daß dann eine Ausgangsregelspannung entsteht, die zum zeitlichen Integral der festgestellten Phasendifferenz zwischen den Eingangssignalen V_R und V_S proportional ist.

Der digitale Phasen-Frequenz-Detektor wird deswegen häufig eingesetzt, weil sein Ausgangsstromsignal I_{loop} im eingerasteten Zustand der PLL-Regelschleife vom Phasenfehler, im ausgerasteten Zustand dagegen vom Frequenzfehler abhängt. Daher ist eine digitale PLL-Regelschleife mit einem digitalen Phasen-Frequenz-Detektor in der Lage, auch unter ungünstigsten Bedingungen einzurasten.

In diesem Zusammenhang wird auf die Fig. 3 hingewiesen, die eine Kennlinie des idealen digitalen Phasen-Frequenz-Detektors im eingerasteten Zustand zeigt, also die Abhängigkeit des Ausgangsstromsignals $\langle XFF \rangle$ von der Phasendifferenz $\Delta\phi$ zwischen den Eingangssignalen V_R und V_S .

Der in Fig. 2 dargestellte Phasen-Frequenz-Detektor kann sich in vier verschiedenen Zuständen befinden:

UP = 0, DN = 0;

UP = 1, DN = 0;

UP = 0, DN = 1;

UP = 1, DN = 1.

Der letzte dieser Zustände wird durch eine zusätzliche UND-Logikschaltung 9 gesperrt, deren Ausgang über eine Negierung mit den Rücksetzeingängen R der beiden Flip-Flop-Schaltungen 5 und 6 verbunden ist. Wenn der Phasen-Frequenz-Detektor in diesen Zustand kommt, wird der Ausgang der Ladungspumpe 7 in den Tristate-Zustand geschaltet.

Bei idealer Funktion des in Fig. 2 abgebildeten Phasen-Frequenz-Detektors ergibt sich das in den Fig. 4a, 4b und 4c in zeitlichen Impulsablaufplänen dargestellte Verhalten. Dabei ist in Fig. 4a der Phasenfehler zwischen den Eingangssignalen V_R und V_S null. Der Ausgang 8 des Phasen-Frequenz-Detektors ist dann hochohmig.

In Fig. 4b ist der Phasenfehler zwischen den Eingangssignalen V_R und V_S positiv, d. h. das Eingangssignal V_S (= zu regelndes Signal) eilt dem anderen Eingangssignal V_R (Bezugssignal) nach. Das Ausgangsstromsignal I_{loop} besteht dann aus positiven Stromimpulsen. In Fig. 4c ist der Phasenfehler zwischen den Eingangssignalen V_R und V_S negativ, d. h. das Eingangssignal V_S eilt dem anderen Eingangssignal V_R vor.

Das Ausgangsstromsignal I_{loop} besteht dann aus negativen Stromimpulsen. Würde die in Fig. 1 dargestellte digitale PLL-Regelschleife exakt auf der Bezugsfrequenz f_1 arbeiten, wäre der Ausgang 8 des in Fig. 2 im einzelnen abgebildeten Phasen-Frequenz-Detektors ständig hochohmig. Da die Frequenz des spannungsgesteuerten Oszillators 3 in Wirklichkeit aber langsam wegläuft, entsteht zunächst eine sehr geringe Zeitverschiebung zwischen den Flanken der Eingangssignale V_R und V_S .

Die digitale PLL-Regelschleife müßte nun einen sehr kurzen Korrekturimpuls mit einer Dauer von beispielsweise 10 ps erzeugen. Da aber die Logikschaltungen und auch die Ladungspumpe des digitalen Phasen-Frequenz-Detektors so kurze Impulse nicht erzeugen können, würde genau im erwünschten Regelzustand eine Ripplefrequenz entstehen und das Signalspektrum in der PLL-Regelschleife verunreinigen. Die Zeitspanne, über die das Ausgangssignal des Pha-

sen-Frequenz-Detektors nichtlinear auf den Flankenabstand reagiert (sog. Backlash), liegt je nach Technologie um 1 ns.

Zur Behebung dieses Problems gibt es den durch das Patent DE 31 16 603 C2 bekannten Lösungsansatz der Einführung von Anti-Backlash-Impulsen. Um zu verhindern, daß die digitale PLL-Regelschleife die sehr kurzen Korrekturimpulse bei kleinen Phasenunterschieden abbilden muß, wird ein Kunstgriff angewandt, der in Verbindung mit der Fig. 5 erläutert wird, die weitgehend den in Fig. 2 dargestellten Phasen-Frequenz-Detektor zeigt und deswegen in den übereinstimmenden Teilen nicht mehr im einzelnen beschrieben werden muß.

Nach der mit der UND-Logikschaltung 9 durchgeführten logischen UND-Verknüpfung der digitalen Ausgangsimpulse UP und DN, die den Zustand $UP = 1$, $DN = 1$ sperrt und den Ausgang 8 direkt in den Tristate-Zustand schaltet, wird eine Verzögerungseinrichtung 10 angeordnet. Dadurch wird dieser Zustand bis zum verzögerten RESET erlaubt. Die digitalen Ausgangsimpulse UP und DN sind für die Dauer der durch die Verzögerungseinrichtung 10 bewirkten Verzögerung beide HIGH und auch die Stromquelle I_{source} und die Stromsenke I_{sink} der Ladungspumpe 7 sind beide während eines Anti-Backlash-Impulses aktiv. In ihrer Summe ergeben die beiden Ströme null und es fließt kein resultierendes Ausgangsströmsignal I_{loop} zum Ausgang 8, wie dies auch bei der idealen Schaltung nach Fig. 2 der Fall ist.

Wandert nun die im spannungsgesteuerten Oszillator 3 (Fig. 1) erzeugte Frequenz langsam aus der Phasengleichheit heraus, dann muß der digitale Ausgangsimpuls UP oder DN nur noch um die kurze Dauer von beispielsweise 10 ps verlängert werden. Diese Verlängerung ist mit großer Genauigkeit möglich, da die kritischen dynamischen Vorgänge (Anstiegsphase, Beruhigungsphase, Abfallphase) mit ihren Nichtlinearitäten bereits enthalten sind.

Bei der Einstellung der Verzögerungszeit muß berücksichtigt werden, daß zum einen die vorstehend erwähnten kritischen dynamischen Vorgänge abgeschlossen sein sollen und zum anderen die Breite der Anti-Backlash-Impulse so klein wie möglich bemessen wird, da der Bereich der abbildbaren Phasendifferenz durch den Anti-Backlash-Impuls verringert wird.

Die in den Fig. 6a, 6b und 6c dargestellten Impulsablaupläne zeigen die Schaltungszustände für verschiedene Phasenlagen. Daraus wird deutlich, daß der Bereich der abbildbaren Phasendifferenz eingeengt wird.

Im einzelnen ist in Fig. 6a der Phasenfehler zwischen den Eingangssignalen V_R und V_S null. Der Ausgang 8 des Phasen-Frequenz-Detektors ist dann hochohmig.

In Fig. 6b ist der Phasenfehler zwischen den Eingangssignalen V_R und V_S positiv, d. h. das Eingangssignal V_S (= zu regelndes Signal) eilt dem anderen Eingangssignal V_R (Bezugssignal) nach. Das Ausgangsströmsignal I_{loop} besteht dann aus positiven Stromimpulsen.

In Fig. 6c ist der Phasenfehler zwischen den Eingangssignalen V_R und V_S negativ, d. h. das Eingangssignal V_S eilt dem anderen Eingangssignal V_R vor. Das Ausgangsströmsignal I_{loop} besteht dann aus negativen Stromimpulsen.

Sobald also die UND-Verknüpfung der digitalen Ausgangsimpulse UP und DN den logischen Zustand HIGH ergibt, werden nach einer festgelegten Verzögerungszeit t_{delay} die digitalen Ausgangsimpulse UP und DN wieder zurückgesetzt. Die Verzögerungszeit t_{delay} wird so eingestellt, daß die digitalen Ausgangsimpulse UP und DN sowie die Stromquelle I_{source} und die Stromsenke I_{sink} gerade den kürzesten Impuls ergeben, der bei gegebener Technologie mit einer sauberen Beruhigungsphase (settling) erzeugt werden kann.

Nach dem Zurücksetzen der digitalen Ausgangsimpulse

UP und DN wird nach nochmaligem Durchlaufen der Verzögerungseinrichtung 10 mit der Verzögerungszeit t_{delay} auch der RESET R am Eingang der D-Flip-Flop-Schaltungen 5 und 6 wieder LOW. Mit ABL ist in Fig. 6 der Anti-Backlash-Impuls bezeichnet.

Bei der beschriebenen Lösung des Backlash-Problems ergeben sich jedoch Nachteile. Der digitale Phasen-Frequenz-Detektor kann nämlich erst wieder Eingangssflanken der beiden Eingangssignale V_R und V_S verarbeiten, wenn der RESET weggenommen wird. Die Blindzeit des digitalen Phasen-Frequenz-Detektors wird so schon bei idealisierter Betrachtung mindestens das Zweifache der Verzögerungszeit t_{delay} betragen. Die Dauer der Blindzeit wird bei Betrachten des nichtidealen Falls noch durch Gatterlaufzeiten verlängert.

Bei den gesteigerten f_T -Frequenzen moderner Technologien kann die Bezugsfrequenz V_R einer PLL-Regelschleife in den Bereich >250 MHz vorstoßen. Hohe Bezugsfrequenzen werden mit Vorliebe deswegen verwendet, weil dann Verzerrungsprodukte (Oberwellen, Intermodulationsprodukte) weitab von der Signalfrequenz zu liegen kommen und leichter gefiltert werden können. Ein nachfolgend angegebenes Zahlenbeispiel zeigt diesen Sachverhalt auf:
Vergleichsfrequenz = 250 MHz, Vergleichsperiode 4 ns;
Dauer des Anti-Backlash-Impulses (ABL): 0,75 ns;
Dauer des RESET-Impulses: 0,75 ns;
Summe der Gatterlaufzeiten zwischen $UP = DN = 1$ und Rücknahme des RESET: 0,5 ns.

Damit ergibt sich eine Blindzeit des Phasen-Frequenz-Detektors: $t_B = 0,75 \text{ ns} + 0,75 \text{ ns} + 0,5 \text{ ns} = 2 \text{ ns}$.

In diesem Zusammenhang wird auf die Fig. 7 hingewiesen, die eine Kennlinie des digitalen Phasen-Frequenz-Detektors mit Anti-Backlash-Impulsen für das vorstehend angegebene Beispiel im eingerasteten Zustand zeigt, also die Abhängigkeit des Ausgangsströmsignals $\langle XFF \rangle$ von der Phasendifferenz $\Delta\phi$ zwischen den Eingangssignalen V_R und V_S . Die mit den Rechtecken eingerahmten Bereiche der Phase sind bedingt durch Blindzeit nicht darstellbar.

Die in Fig. 3 gezeigte Kennlinie des idealen Phasen-Frequenz-Detektors wird somit drastisch eingeschränkt. Der digitale Phasen-Frequenz-Detektor verliert mit zunehmender Blindzeit mehr und mehr seine an sich besonders vorteilhafte Fähigkeit, im ausgerasteten Zustand auf Frequenzfehler zu reagieren. Dadurch verlängert sich die Einschwingzeit der digitalen PLL-Regelschleife.

Bei einem Verhältnis (Vergleichsperiode/Blindzeit) von 2 : 1 ist die kritische Blindzeit erreicht. Dieser Zustand ist in der Fig. 7 dargestellt. Dann wird die Einschwingzeit aus einem ausgerasteten Zustand unendlich, und das Einschwingen der PLL-Regelschleife ist nicht mehr möglich.

Der Erfindung liegt die Aufgabe zugrunde, Maßnahmen anzugeben, durch welche die störende Blindzeit des mit Anti-Backlash-Impulsen arbeitenden, digitalen Phasen-Frequenz-Detektors verkürzt wird, so daß eine mit einem solchen Phasen-Frequenz-Detektor ausgestattete digitale PLL-Regelschleife ein verbessertes Einschwingverhalten aufweist.

Gemäß der Erfindung wird diese Aufgabe bei einem gangungsgemäßen digitalen Phasen-Frequenz-Detektor durch die im kennzeichnenden Teil des Patentanspruchs 1 angegebenen Merkmale gelöst.

Die Blindzeit des digitalen Phasen-Frequenz-Detektors mit Anti-Backlash-Impulsen ergibt sich allgemein aus drei Komponenten, nämlich aus der Dauer des Anti-Backlash-Impulses, aus der Summe der Gatterlaufzeiten zwischen den digitalen Ausgangsimpulszuständen $UP = DN = 1$ und der Rücknahme des RESET und aus der Dauer des RESET-Impulses.

Die Dauer des Anti-Backlash-Impulses ist durch die Zeit festgelegt, die benötigt wird, um die Anti-Backlash-Impulse (digitale Ausgangsimpulse UP und DN, Stromquelle I_{source} und Stromsenke I_{sink} in der Ladungspumpe) vollständig mit ansteigender Flanke, ausreichender Beruhigungsphase (settling) und abfallender Flanke darzustellen.

Bei gegebener Schaltungstopologie ist diese Dauer durch die Technologie bestimmt und kann nicht weiter verkürzt werden. Die Summe der Gatterlaufzeiten zwischen den digitalen Ausgangsimpulzzuständen $UP = DN = 1$ und der Rücknahme des RESET läßt sich zwar durch Verwendung schneller Logikblöcke und einer optimierten Schaltungstopologie verkürzen. Die durch die Erfindung angegebenen Maßnahmen laufen dagegen auf eine Reduzierung der RESET-Impulse hinaus.

Dabei ist von Bedeutung, daß beim Übergang des digitalen Ausgangspulses $UP, DN \rightarrow$ logischer Zustand "1" wohl wie beim Stand der Technik der RESET verzögert angelegt wird, um die Breite des Anti-Backlash-Impulses einzustellen, daß aber beim Übergang des digitalen Ausgangspulses $UP, DN \rightarrow$ logischer Zustand "0" die durch den eigentlichen Verzögerungspfad gegebene Verzögerungszeit umgangen wird, um den RESET möglichst schnell wegzunehmen und somit die Blindzeit des digitalen Phasen-Frequenz-Detektors zu verkürzen.

Zweckmäßige Weiterbildungen und Verwendungen des durch die Erfindung angegebenen Phasen-Frequenz-Detektors sind in den Unteransprüchen angegeben.

Die Erfindung wird anhand von Figuren näher erläutert. Es zeigen:

Fig. 1 das bereits erläuterte Blockschaltbild einer üblichen digitalen PLL-Phasenregelschleife,

Fig. 2 das ebenfalls bereits erläuterte Blockschaltbild eines idealen digitalen Phasen-Frequenz-Detektors,

Fig. 3 ein ebenfalls schon erläutertes Kennliniendiagramm des idealen digitalen Phasen-Frequenz-Detektors im eingerasteten Zustand,

Fig. 4a, 4b und 4c drei ebenfalls bereits beschriebene Impulsverlaufzusammenhänge für unterschiedliche Phasenfehlerverhältnisse bei idealer Funktion des digitalen Phasen-Frequenz-Detektors,

Fig. 5 das ebenfalls bereits beschriebene Blockschaltbild eines bekannten digitalen Phasen-Frequenz-Detektors mit Anti-Backlash-Impuls,

Fig. 6a, 6b und 6c drei ebenfalls bereits beschriebene Impulsverlaufzusammenhänge für unterschiedliche Phasenfehlerverhältnisse beim bekannten digitalen Phasen-Frequenz-Detektor nach **Fig. 5**,

Fig. 7 ein ebenfalls schon beschriebenes Beispiel eines Kennliniendiagramms des bekannten digitalen Phasen-Frequenz-Detektors nach der **Fig. 5** im eingerasteten Zustand,

Fig. 8 das Blockschaltbild eines digitalen Phasen-Frequenz-Detektors mit Anti-Backlash-Impuls und verkürztem RE-SET nach der Erfindung,

Fig. 9 die mehr ins einzelne gehende Schaltung eines Ausführungsbeispiels eines digitalen Phasen-Frequenz-Detektors mit Anti-Backlash-Impuls und verkürztem RE-SET nach der Erfindung,

Fig. 10 das Blockschaltbild der Verzögerungspfade des in **Fig. 9** gezeigten Ausführungsbeispiels eines Phasen-Frequenz-Detektors nach der Erfindung, und

Fig. 11 einen Impulsverlaufplan zur Erläuterung der Funktionsweise der Verzögerungspfade nach der **Fig. 10**.

Die Maßnahmen nach der Erfindung zur Verkürzung der Blindzeit werden in Verbindung mit der in **Fig. 8** dargestellten Schaltung erläutert, die auf dem in **Fig. 5** dargestellten Phasen-Frequenz-Detektor aufbaut. Die **Fig. 5** wird nur noch in zum besseren Verständnis der Erfindung erforderli-

chen Teilen beschrieben.

Die Unterschiede zwischen **Fig. 8** und **Fig. 5** liegen im wesentlichen in der Ausbildung der Verzögerungspfade. Aus **Fig. 5** wird deutlich, daß die UND-Verknüpfung der digitalen Ausgangsimpulse UP und DN durch die UND-Logikschaltung 9 den logischen Zustand "1" ergibt, wenn die beiden digitalen Ausgangsimpulssignale UP und DN zugleich im logischen Zustand "1" sind. Nach der Verzögerungseinrichtung 10 (**Fig. 5**), die für die Dauer des Anti-Backlash-Impulses maßgeblich ist, wird das Signal als RESET = 1 jeweils an den Rücksetzeingang R der beiden Flip-Flop-Schaltungen 5 und 6 angelegt.

Die Ausgänge Q der beiden D-Flip-Flop-Schaltungen 5 und 6 werden, abgesehen von Gatterlaufzeiten, sofort rückgesetzt, d. h. es wird dann auf die Ausgangsimpulzzustände $UP = DN = "0"$ geschaltet. Dies ist die abfallende Flanke des Anti-Backlash-Impulses.

Auch die durch die UND-Logikschaltung 9 herbeigeführte UND-Verknüpfung zwischen den Ausgangsimpulssignalen UP und DN, die sich beide im logischen "0"-Zustand befinden, ergibt wieder eine logische "0", jedoch kommt das Signal RESET erst nach Verstreichen der durch die Verzögerungseinrichtung 10 bedingten Verzögerungszeit in den Zustand "0". Frühestens dann ist der Phasen-Frequenz-Detektor wieder in der Lage, Eingangssignalfanken zu verarbeiten. Dadurch wird jedoch Zeit verschenkt.

Der RESET wird durch die Maßnahmen gemäß der Erfindung auf die Zeit verkürzt, die unbedingt nötig ist, um die beiden Zellen der beiden D-Flip-Flop-Schaltungen 5 und 6 rückzusetzen. Das in **Fig. 5** dargestellte Blockschaltbild des digitalen Phasen-Frequenz-Detektors mit Anti-Backlash-Impuls wird dazu entsprechend **Fig. 8** geändert.

Mit der in **Fig. 8** dargestellten Schaltung kann die Breite des Anti-Backlash-Impulses beibehalten werden und die RESET-Impulsbreite auf ein Minimum reduziert werden. Dazu wird der Block der Verzögerungseinrichtung 10 aus der **Fig. 5** in einen Verzögerungspfad 11 für positive Impulsflanken des Ausgangssignals der UND-Logikschaltung 9 übernommen, um die Dauer der Anti-Backlash-Impulse konstant zu lassen.

Die negativen Impulsflanken des Ausgangssignals der UND-Logikschaltung 9 erfahren eine möglichst kleine Verzögerungszeit, die nur lang genug sein muß, um die Zellen der beiden D-Flip-Flop-Schaltungen 5 und 6 sicher rückzusetzen, und die in der **Fig. 8** durch einen zweiten Verzögerungspfad 12 zugeführt wird, der zum ersten Verzögerungspfad 11 parallel angeordnet ist. In den meisten Fällen sind die Gatterlaufzeiten in den Logikzellen bereits zur Erzielung dieser kleinen Verzögerungszeit ausreichend, so daß schaltungsmäßig kein eigener zweiter Verzögerungspfad 12 realisiert werden muß.

Der Gewinn durch die gemäß der Erfindung herbeigeführte Verkürzung des RESET-Impulses soll im folgenden an einem Zahlenbeispiel verdeutlicht werden:

Vergleichsfrequenz = 250 MHz, Vergleichsperiode 4 ns;

Dauer des Anti-Backlash-Impulses (ABL): 0,75 ns;

Dauer des RESET-Impulses: 0,75 ns;

Summe der Gatterlaufzeiten zwischen $UP = DN = 1$ und Rücknahme des RESET: 0,5 ns.

Damit ergibt sich eine Blindzeit des Phasen-Frequenz-Detektors: $t_B = 0,75 \text{ ns} + 0,75 \text{ ns} + 0,5 \text{ ns} = 2 \text{ ns}$.

Reduzierung der RESET-Impulsbreite auf 0,25 ns:

Damit ergibt sich eine Blindzeit des Phasen-Frequenz-Detektors: $t_B = 0,75 \text{ ns} + 0,25 \text{ ns} + 0,5 \text{ ns} = 1,5 \text{ ns}$.

Vergleicht man die beiden Fälle auf der Basis (Vergleichsperiode/Blindzeit = 2 : 1), so hat man vorher eine Vergleichsfrequenz = 250 MHz, bei der die Einschwingzeit unendlich wird, und bei Durchführung der erfindungsgemäßen

Maßnahmen 333 MHz oder einen Gewinn von >30%. Im Streben nach möglichst hohen Vergleichsfrequenzen stellt dieser Gewinn eine signifikante Steigerung dar.

In Fig. 9 ist in einer Schaltbilddarstellung die Ausgestaltung eines digitalen Phasen-Frequenz-Detektors nach der Erfindung mit Anti-Backlash-Impuls und verkürztem RESET gezeigt. Danach sind folgende Blöcke vorgesehen:

PFD_bias: Steuerspannungseinstellung der Standard-Logik
CP_bias: Steuerstromereinstellung der Ladungspumpenzellen
CPx_0.5 mA: Ladungspumpe für 0,5 mA Quellen/Senken-Strom

LS...: Standard-Logik Pegelverschieber

AN...: Standard-Logik UND

RS...: Standard-Logik RS-Flip-Flop-Schaltung

AM...: Standard-Logik Differenzverstärker.

Dabei entspricht der Block AN5 der UND-Logikschaltung 9 aus der Fig. 8. Der Pfad AM1-AM2-AM3 entspricht dem Verzögerungspfad 11 aus Fig. 8 für positive Impulsflanken mit zwei Kondensatoren C1 und C2 zur Einstellung der Verzögerungszeit in diesem Pfad. Der Pfad AN5-LS6-AN6-LS7 entspricht dem Verzögerungspfad 12 aus der Fig. 8 für negative Impulsflanken mit verkürzter Verzögerungsdauer.

Die restlichen Standard-Logik Zellen entsprechen den D-Flip-Flop-Schaltungen 5 und 6 mit RESET-Eingang R aus der Fig. 8. Die vier Ladungspumpen-Zellen CP1 bis CP4 für je 0,5 mA Quellen/Senken-Strom können mit einem Signal 1m_EN als 1 mA- oder 2 mA-Ausgang geschaltet werden, wobei der vom Biaseingang CP_EN aus gesteuerte Block CP_bias der Steuerstromereinstellung der Ladungspumpenzellen CP1 bis CP4 dient. Die Schaltung nach Fig. 9 ist an sich für einen differentiellen Betrieb ausgelegt. Der Einfachheit halber sind jedoch die differentiellen Leitungsführungen in der Zeichnung durch einfache Leitungen ersetzt.

Fig. 10 zeigt in einem Ausschnitt der Gesamtschaltung nach Fig. 9 die beiden bereits beschriebenen Verzögerungspfade. Aus den in Fig. 11 untereinander dargestellten Impulsverläufen wird die Funktionsweise dieser beiden Verzögerungspfade bei einem digitalen Phasen-Frequenz-Detektor nach der Erfindung deutlich.

Die Gatterlaufzeiten innerhalb des in Fig. 10 dargestellten Blockschalbildes sind in den Impulsverläufen vernachlässigt. Die in Fig. 11 angegebene Gatterlaufzeit bezieht sich auf die Verzögerung zwischen RESET→"1" und (UP & DN)→"0". Aus der Fig. 11 wird deutlich, daß die Länge des RESET-Impulses gegenüber der Verzögerungsdauer t_{delay} deutlich verkürzt wird. Für die Ausgestaltung der Verzögerungspfade für die positiven bzw. negativen Impulsflanken zeigt Fig. 10 nur eine Ausgestaltungsmöglichkeit. Alternative Ausführungsformen sind realisierbar.

Bezugszeichenliste

- 1 Digitaler Phasendetektor
- 2 Analoges Schleifenfilter, Integrator
- 3 Spannungsgesteuerter Oszillator (VCO)
- 4 Frequenzteiler
- 5 Flip-Flop-Schaltung
- 6 Flip-Flop-Schaltung
- 7 Ladungspumpe (Charge Pump)
- 8 Ausgang
- 9 UND-Logikschaltung
- 10 Verzögerungseinrichtung
- 11 Erster Verzögerungspfad
- 12 Zweiter Verzögerungspfad
- ABL Anti-Backlash-Impuls
- V_R Erstes Wechselstrom-Eingangssignal
- V_S Zweites Wechselstrom-Eingangssignal

f_1, f_R Frequenz des ersten Wechselstrom-Eingangssignals
 f_2, f_S Frequenz des zweiten Wechselstrom-Eingangssignals
 I_d, I_{loop} Resultierendes Ausgangsstromsignal
 U_T Ausgangsregelspannung

5 DN, UP Digitale Ausgangsimpulse

C, D, R Flip-Flop-Eingänge

Q Flip-Flop-Ausgang

I_{source} Stromquelle

I_{sink} Stromsenke

10 Aphase Phasendifferenz, Phasenfehler

PFD_bias Steuerspannungseinstellung der Standard-Logik

CP_bias Steuerstromereinstellung der Ladungspumpenzellen

CPx_0.5 mA Ladungspumpe für 0,5 mA Quellen/Senken-Strom

15 LS... Standard-Logik Pegelverschieber

AN... Standard-Logik UND

RS... Standard-Logik RS-Flip-Flop-Schaltung

AM... Standard-Logik Differenzverstärker

C1, C2 Kondensatoren

20 1m_EN Signal

CP_EN Biaseingang

Patentansprüche

1. Digitaler Phasen-Frequenz-Detektor zur Erzeugung eines von der Phasendifferenz zweier Wechselstrom-Eingangssignale abhängigen pulsförmigen Ausgangsstromsignals mit einer ersten Flip-Flop-Schaltung, deren Setzeingang das eine der beiden Eingangssignale zugeführt wird und an deren Ausgang in Abhängigkeit von ihrem Schaltzustand digitale Ausgangsimpulse abgenommen werden, einer zweiten Flip-Flop-Schaltung, deren Setzeingang das andere der beiden Eingangssignale zugeführt wird und an deren Ausgang in Abhängigkeit von ihrem Schaltzustand ebenfalls digitale Ausgangsimpulse abgenommen werden, mit einer UND-Logikschaltung, der die Ausgangsimpulse der beiden Flip-Flop-Schaltungen zugeführt und mit der über eine die Minimaldauer der digitalen Ausgangsimpulse bei Vorliegen kleiner Phasendifferenzen zwischen den beiden Eingangssignalen um eine Anti-Backlash-Impulsbreite vergrößernde Verzögerungseinrichtung die Rücksetzeingänge der beiden Flip-Flop-Schaltungen angesteuert werden, und mit zwei schaltbaren, eine Ladungspumpe (Charge Pump) bildenden Stromquellen, von denen die erste in Abhängigkeit von den digitalen Ausgangsimpulsen der ersten Flip-Flop-Schaltung und die zweite in Abhängigkeit von den digitalen Ausgangsimpulsen der zweiten Flip-Flop-Schaltung einen vorbestimmten Strom liefert bzw. abführt, der in seinem zeitlichen Verlauf das pulsförmige Ausgangsstromsignal in einer Ternärform bildet, **dadurch gekennzeichnet**, daß die Verzögerungseinrichtung in zwei zueinander parallel angeordnete Verzögerungspfade (11, 12) aufgeteilt ist, von denen der erste (11) jeweils den positiven Flanken der vom Ausgang der UND-Logikschaltung (9) kommenden Impulse zugeordnet ist und eine gegenüber der ursprünglichen Verzögerungszeit unveränderte, also die Dauer eines Anti-Backlash-Impulses (ABL) aufweisende Verzögerungszeit hat, wogegen der zweite (12) den negativen Flanken der vom Ausgang der UND-Logikschaltung (9) kommenden Impulse zugeordnet ist und diese Flanken um eine Verzögerungszeit verzögert, die nur so lange bemessen ist, daß die Flip-Flop-Schaltungen (5, 6) sicher zurückgesetzt sind.
2. Digitaler Phasen-Frequenz-Detektor nach Anspruch 1, dadurch gekennzeichnet, daß die Flip-Flop-Schal-

tungen (5, 6) sogenannte D-Flip-Flops sind.

3. Digitaler Phasen-Frequenz-Detektor nach Anspruch 1, dadurch gekennzeichnet, daß die Verzögerungszeit des zweiten Verzögerungspfads (12) durch die Gatterlaufzeiten in den Logikzellen gebildet ist.

5

4. Digitaler Phasen-Frequenz-Detektor nach Anspruch 1, dadurch gekennzeichnet, daß die Verzögerungszeit des ersten Verzögerungspfads (11) mindestens gleich der zum Einschalten der beiden Stromquellen (I_{source} , I_{sink}) erforderlichen minimalen Dauer der digitalen Ausgangsimpulse (UP, DN) ist.

10

5. Digitaler Phasen-Frequenz-Detektor nach Anspruch 4, dadurch gekennzeichnet, daß die Verzögerungszeit des ersten Verzögerungspfads (11) geringfügig größer als die minimale Dauer der digitalen Ausgangsimpulse (UP, DN) ist.

15

6. Digitaler Phasen-Frequenz-Detektor nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, daß das pulsformige Ausgangsstromsignal (I_d ; I_{loop}) zur Umformung in eine stetige Ausgangsregelspannung (U_T) einem Integrator (2) zugeführt ist.

20

7. Digitaler Phasen-Frequenz-Detektor nach Anspruch 6, gekennzeichnet durch die Verwendung in einer digitalen PLL-Regelschleife mit einem spannungsgesteuerten Oszillator (3), dem die Ausgangsregelspannung (U_T) des ein analoges Schleifenfilter (2) bildenden Integrators als Steuerspannung zur Frequenznachstellung zugeführt ist und dessen erzeugtes und optional über einen Frequenzteiler (4) geführtes Wechselspannungssignal das erste Eingangssignal (V_S) des Phasen-Frequenz-Detektors (1) bildet, und mit einer Bezugswechselspannung, die das zweite Eingangssignal (VR) des Phasen-Frequenz-Detektors bildet.

25

30

8. Digitaler Phasen-Frequenz-Detektor nach einem der vorhergehenden Ansprüche, gekennzeichnet durch eine Implementierung in einem integrierten Schaltungsbaustein.

35

Hierzu 5 Seite(n) Zeichnungen

40

45

50

55

60

65

- Leerseite -

This Page Blank (uspto)

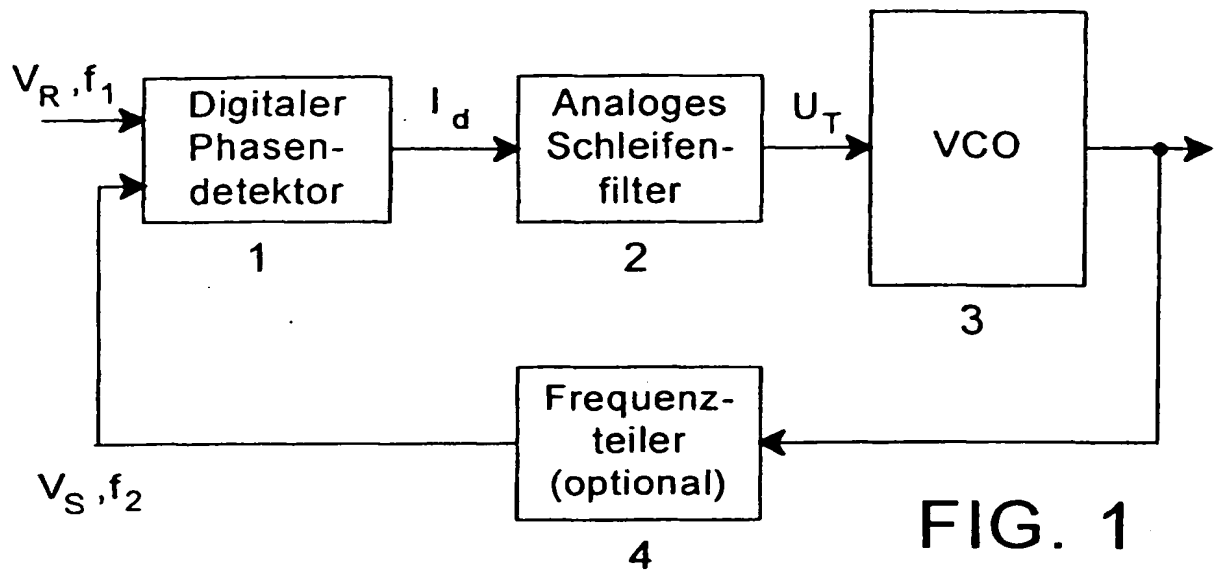


FIG. 1

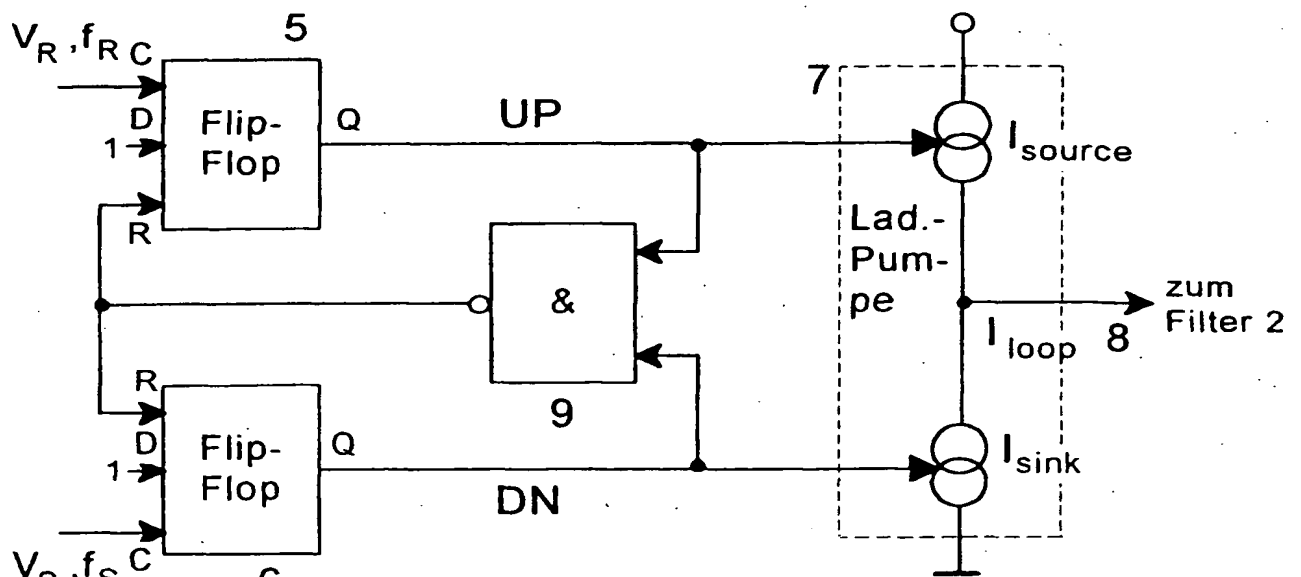


FIG. 2

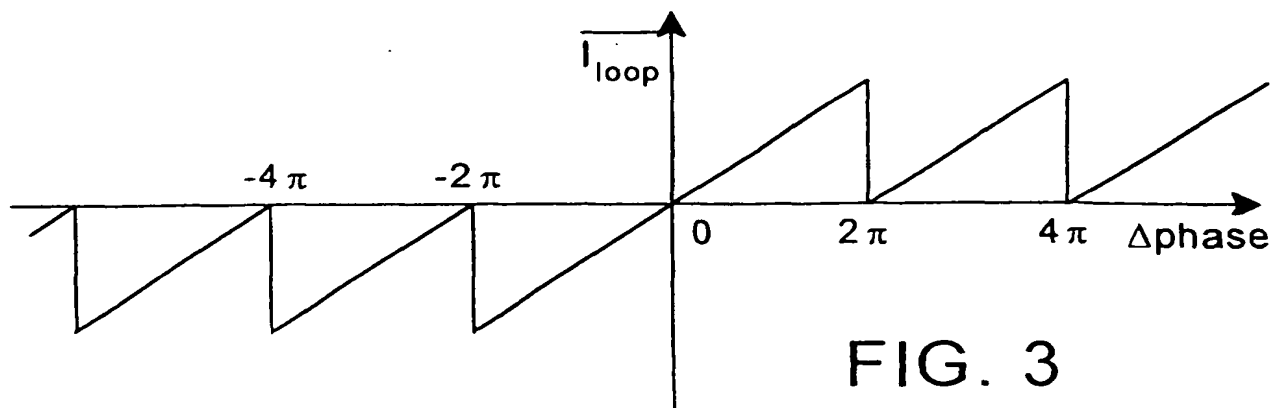


FIG. 3

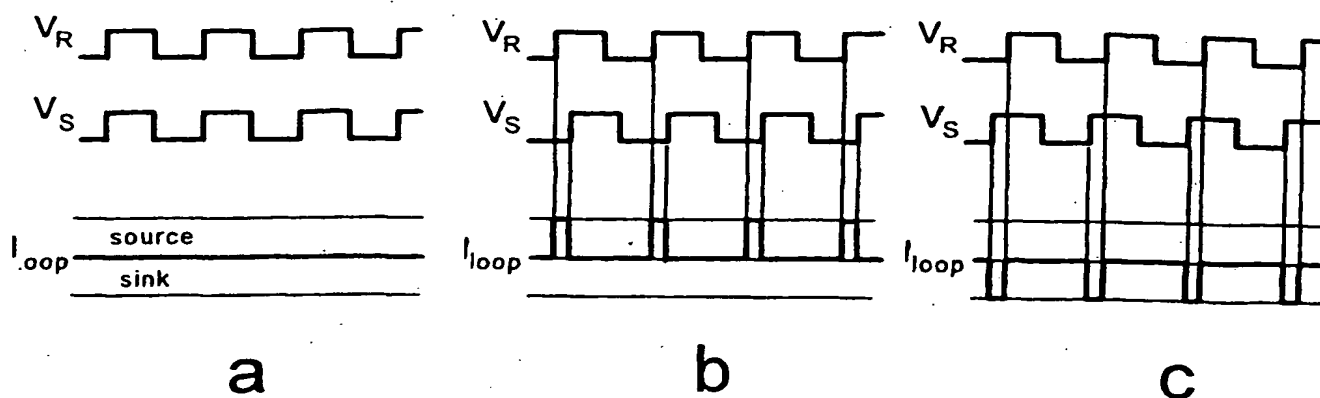


FIG. 4

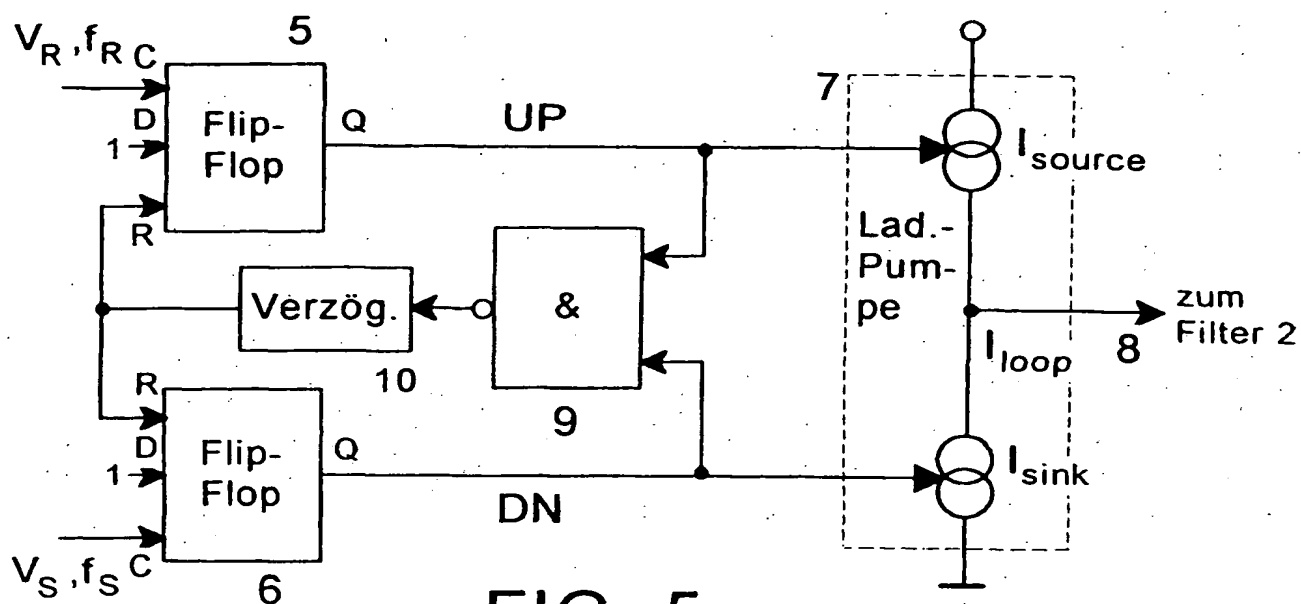


FIG. 5

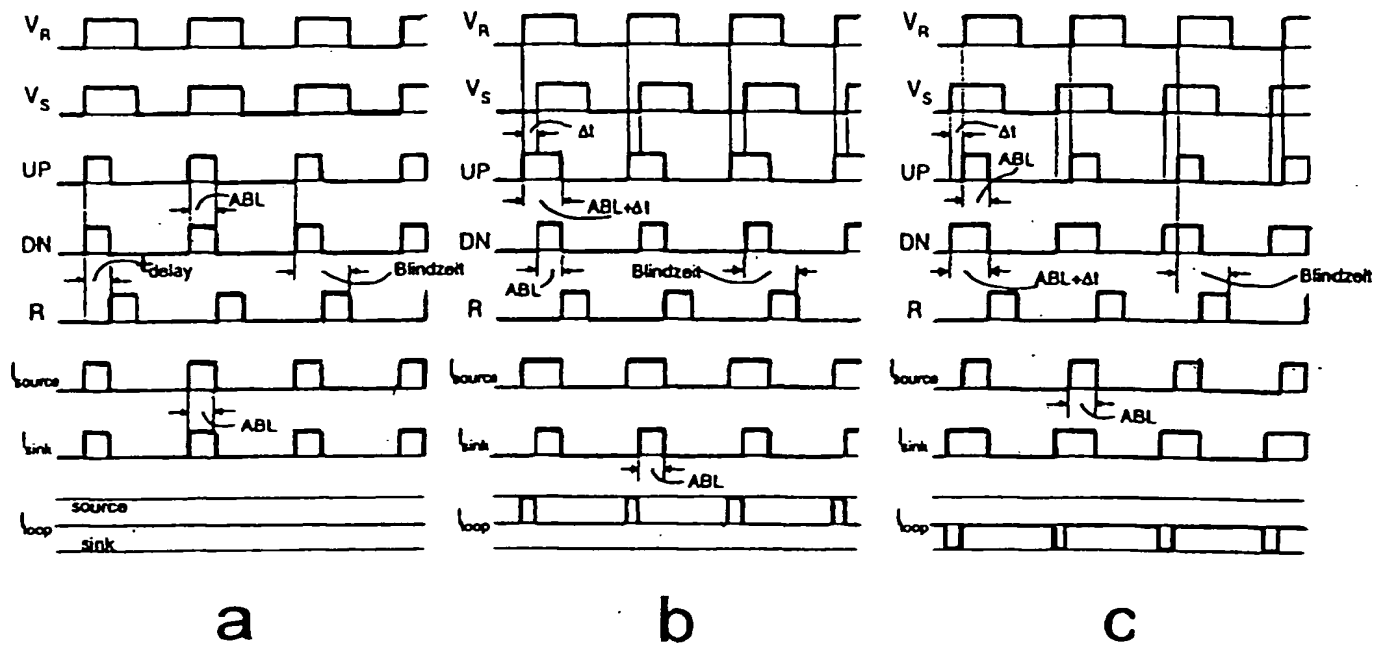


FIG. 6

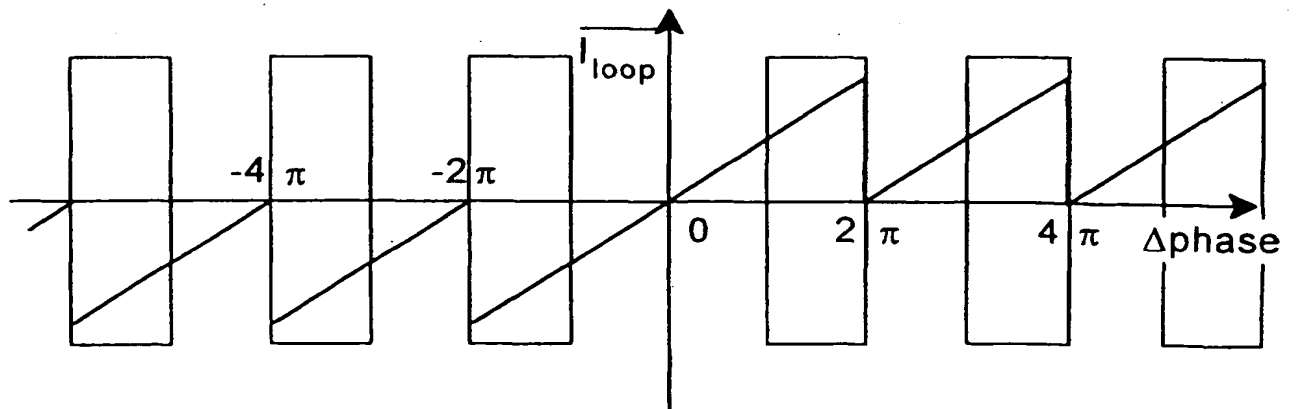


FIG. 7

